



Aula 8 – Circuitos Integrados

Introdução

Portas Lógicas em Circuitos Integrados

Implementação de Funções Booleanas Utilizando Portas Lógicas

Simplificação de Expressões e Circuitos através do Diagrama de Veitch-Karnaugh

Tarefas

INTRODUÇÃO

Após a invenção do transistor, o próximo passo no desenvolvimento da eletrônica foi a sintetização de diversos tipos de circuitos eletrônicos analógicos e digitais em um único componente eletrônico denominado de “Circuito Integrado”. Dos diversos tipos de circuitos integrados existentes, alguns com aplicações específicas à área da eletrônica analógica e outros com aplicações específicas a área de eletrônica digital, talvez os circuitos integrados mais conhecidos atualmente sejam os microprocessadores pois estes elementos, de uma forma geral, se constituem no principal componente dos computadores. Apresenta-se nesta aula, alguns tipos de circuitos integrados utilizados para implementação de circuitos lógicos digitais, com exemplos e aplicações na síntese de funções lógicas Booleanas.

PORTAS LÓGICAS E CIRCUITOS INTEGRADOS

Inversor Lógico

Semelhante a aula anterior, o primeiro circuito integrado a ser apresentado é o inversor lógico. Na Figura 8.1 esta representado o símbolo do inversor lógico juntamente com o diagrama de blocos dos inversores lógicos existentes no circuito integrado da família 7404. Informações técnicas sobre os circuitos integrados são disponíveis em manuais dos fabricantes ou diretamente pela Internet, nas páginas dos fabricantes ou em *links* alternativos que já possuem os arquivos a disposição para os usuários. O Laboratório de Ensino e Pesquisa da PUCRS possui em sua página na Internet, as informações técnicas de cada um dos circuitos integrados apresentados nesta aula, disponíveis no endereço www.feng.pucrs.br/~lep.



Figura 8.1 a) Símbolo do inversor lógico. b) Disposição de inversores lógicos em um circuito integrado da família 7404.



- i. Faça uma montagem em *protoboard* utilizando o circuito integrado 7404, e certifique-se que as relações estabelecidas entre as variáveis de entrada e saída, de pelo menos um, dos blocos inversores é a mesma apresentada na Tabela 5.3. Utilizar V_{CC} igual a 5.0 volts.

Operação Lógica NAND – (operação lógica AND complementada)

Na Figura 8.2 esta representado o símbolo do bloco lógico utilizada para realização da operação NAND juntamente com o diagrama de blocos das quatro portas lógicas NAND existentes no circuito integrado da família 7400.



Figura 8.2 a) Símbolo da porta NAND. b) Disposição de portas lógicas NAND em um circuito integrado da família 7400.



- ii. Faça uma montagem em *protoboard* utilizando o circuito integrado 7400, e certifique-se que as relações estabelecidas entre as variáveis de entrada e saída, de pelo menos uma, das portas NAND é a mesma que a apresentada na Tabela 5.4. Utilizar V_{CC} igual a 5.0 volts.

Operação Lógica NOR - (operação lógica OR complementada)

Na Figura 8.3 esta representado o símbolo do bloco lógico utilizada para realização da operação NOR juntamente com o diagrama de blocos das quatro portas lógicas NOR existentes no circuito integrado da família 7402.

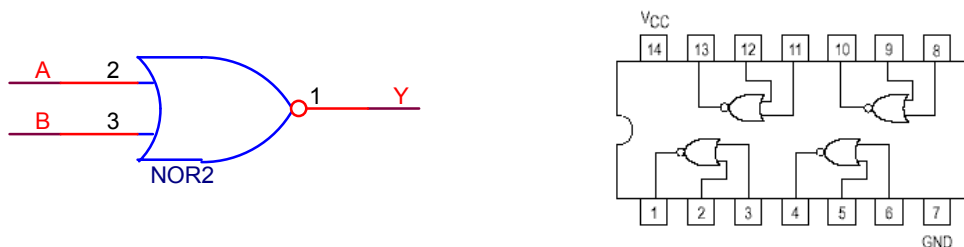


Figura 8.3 a) Símbolo da porta NOR. b) Disposição de portas lógicas NOR em um circuito integrado da família 7402.



- iii. Faça uma montagem em *protoboard* utilizando o circuito integrado 7402, e certifique-se que as relações estabelecidas entre as variáveis de entrada e saída, de pelo menos uma, das portas NOR é a mesma que a apresentada na Tabela 5.5. Utilizar V_{CC} igual a 5.0 volts.

Operação Lógica XOR – (operação lógica EXCLUSIVE OR)

Outra operação lógica bastante empregada na síntese de funções lógicas Booleanas é a operação denominada de “OU EXCLUSIVO” ou em inglês “EXCLUSIVE OR – XOR”. A operação lógica XOR é



caracterizada na tabela 8.1, sendo o símbolo do bloco que representa esta operação e o diagrama de blocos circuito integrado com quatro portas XOR, apresentado na Figura 84.

Nível Lógico - A	Nível Lógico -B	Nível Lógico - Y
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 8.1: Relação os sinais de entrada (A e B) e saída (Y) em um circuito “OU EXCLUSIVO”.

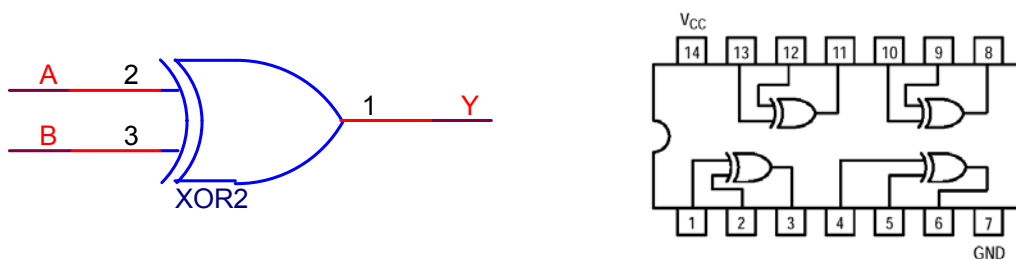


Figura 8.4a) Símbolo da porta XOR. b) Disposição de portas lógicas XOR em um circuito integrado da família 7486.



- iv. Faça uma montagem em *protoboard* utilizando o circuito integrado 7486, e certifique-se que as relações estabelecidas entre as variáveis de entrada e saída, de pelo menos uma, das portas XOR é a mesma que a apresentada na Tabela 8.1. Utilizar V_{CC} igual a 5.0 volts.

Implementação de Funções Booleanas Utilizando Portas Lógicas

Implementar eletronicamente funções lógicas Booleanas com o auxílio dos dispositivos eletrônicos apresentados anteriormente é uma tarefa simples e direta. O procedimento utilizado para realizar tal tarefa será apresentado a seguir através de exemplos ilustrativos e exercícios propostos.

Exemplo 1 - $Y = (A + B)C$

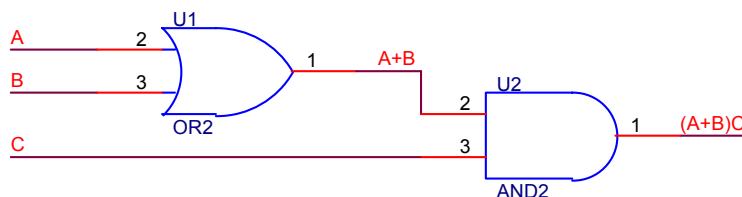


Figura 8.5: Implementação utilizando portas-lógicas da função lógica apresenta no exemplo 1.

Exemplo 2 - $Y = \overline{AB} + \overline{AC}$

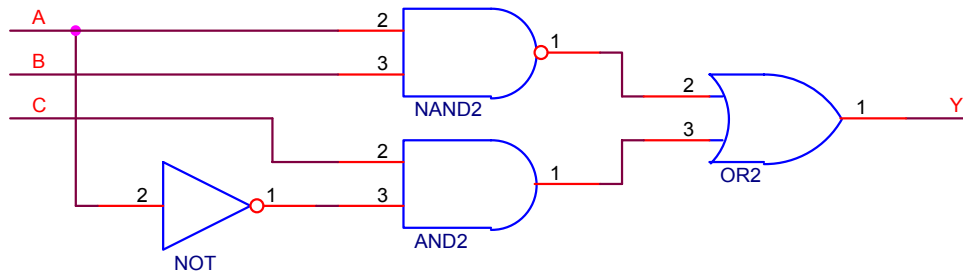


Figura 8.6: Implementação utilizando portas-lógicas da função lógica apresentada no exemplo 2.



- v. Seguindo a mesma sistemática empregada nos exemplos 1 e 2, anteriormente apresentados implemente, utilizando portas lógicas, seguinte função lógica
 $Y = (A + B)CD$.

É possível também, a partir das combinações dos valores dos níveis lógicos observados nas variáveis de entrada e, dos respectivos valores dos níveis lógicos obtidos nas saídas, extrair a função lógica que estabelece a respectiva relação entre os sinais de entrada e saída. A função lógica é extraída inicialmente pela verificação das condições de cada uma das entradas (0's ou 1's) para as situações em que a variável de saída apresenta nível lógico igual a 1. Para estas situações, as entradas que apresentarem nível lógico zero serão apresentadas com seus símbolos complementados, enquanto as entradas que apresentarem nível lógico um serão apresentadas com seus próprios símbolos. Para exemplificar, considere a relação de entradas e saídas apresentadas na Tabela 8.2.

	A	B	C	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Tabela 8.2: Tabela exemplo para obtenção da função lógica com base nos níveis lógicos das entradas e saída.

Observando-se a Tabela 8.2, conclui-se que as linhas 1, 3, 6 e 7 apresentam valor igual a 1 na coluna Y, ou seja, nível lógico 1 na variável Y, que representa o resultado da função lógica a ser implementada. Empregando o procedimento ora estabelecido, conclui-se que a função lógica que replica os resultados apresentados na Tabela 8.2 é dada por

$$Y = \bar{A}\bar{B}C + \bar{A}B.C + A\bar{B}\bar{C} + ABC \quad (8.1)$$

A função lógica apresentada em (8.1) pode ser reduzida a menos termos se forem empregadas as relações apresentadas nas Tabelas 8.2, 8.3 e 8.4.

1a	$\bar{1} = 0$	1b	$\bar{0} = 1$
2a	$0 \cdot 0 = 0$	2b	$0 + 0 = 0$
3a	$1 \cdot 0 = 0$	3b	$1 + 0 = 1$
4a	$1 \cdot 1 = 1$	4b	$1 + 1 = 1$

Tabela 8.2: Postulados lógicos.

$AB = BA$	$A(BC) = (AB)C = (AC)B$	$A + (B + C) = (A + B) + C$
$A + B = B + A$	$A(B + C) = AB + AC$	



Tabela 8.4: Propriedades algébricas.

$A \cdot 0 = 0$	$A \cdot 1 = A$	$A \cdot A = A$	$A \cdot \bar{A} = 0$
$A + 0 = A$	$A + 1 = 1$	$A + A = A$	$A + \bar{A} = 1$
$\bar{\bar{A}} = A$	$\overline{A+B} = \bar{A} \cdot \bar{B}$	$\overline{A \cdot B} = \bar{A} + \bar{B}$	$(A+B)(\bar{A}+C) = AC + \bar{A}B$

Tabela 8.5: Teoremas Booleanos.

Ou seja:

$$Y = \bar{A}C(\bar{B} + B) + AB(C + \bar{C}) \quad (8.2)$$

$$Y = \bar{A}C(1) + AB(1) \quad (8.3)$$

$$Y = \bar{A}C + AB \quad (8.4)$$

O que resulta no circuito lógico apresentado na Figura 8.7.

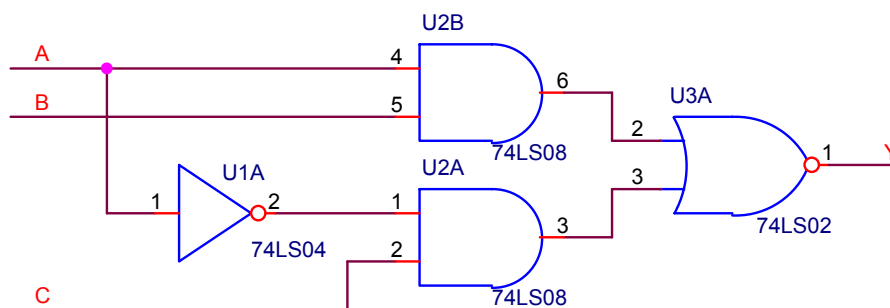


Figura 8.7: Circuito lógico utilizado para implementar a relação apresentada na Tabela 8.2.



- vi. Utilize a Tabela 8.6, considerando como entradas as variáveis A, B e C e como variável de saída Y, e obtenha a função lógica que implementa esta tabela em sua forma mais simplificada, desenhando o circuito lógico equivalente e, em seguida, implementando-o experimentalmente em *protoboard*.

	A	B	C	Y
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

Tabela 8.6: Relação a ser simplificada e implementada com circuitos lógicos.



Simplificação de Expressões e Circuitos através dos Diagramas de Veitch-Karnaugh

Até agora foi visto a simplificação de expressões mediante a utilização dos postulados, propriedades e identidades da Álgebra de Boole. Agora vamos tratar da simplificação de expressões por meio dos diagramas de Veitch-Karnaugh. Os diagramas de Veitch-Karnaugh permitem a simplificação de expressões características com duas, três, quatro, cinco ou mais variáveis, sendo que para cada caso existe um tipo de diagrama mais apropriado. Nesta aula veremos a simplificação de duas, três e quatro variáveis utilizando para representar o diagrama a forma análoga.

Diagrama de Veitch-Karnaugh para 2 variáveis

O Diagrama consiste em ter uma região para cada caso da Tabela Verdade. Com duas variáveis podemos obter 4 possibilidades conforme Tabela 8.7. Na Tabela 8.8 temos a disposição dos resultados da Tabela Verdade no Diagrama de Veitch-Karnaugh :

A	B	Possibilidades
0	0	caso 0
0	1	caso 1
1	0	caso 2
1	1	caso 3

Tabela 8.7: Tabela Verdade com 2 variáveis.

		B	
		0	1
A	0	caso 0	caso 1
	1	caso 2	caso 3

Tabela 8.8: Diagrama de Veitch-Karnaugh para 2 variáveis

Para entendermos melhor o significado deste conceito, vamos utilizar um exemplo. Primeiramente a tabela verdade da Tabela 8.9 mostra o estudo de uma função de 2 variáveis, vamos colocar seus resultados Y no Diagrama de Veitch-Karnaugh da Tabela 8.0:

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Tabela 8.9: Tabela Verdade com 2 variáveis.

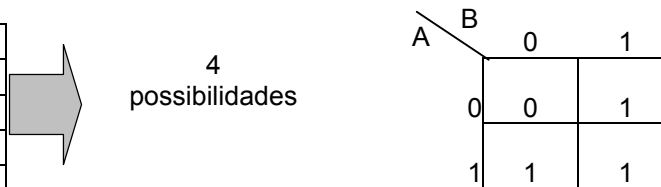


Tabela 8.0: Diagrama de Veitch-Karnaugh para 2 variáveis

Utilizando o método desenvolvido anteriormente podemos retirar a expressão característica da função diretamente da Tabela-Verdade, conforme a equação 8.5:

$$Y = \overline{A}.B + A\overline{B} + AB \quad (8.5)$$

Uma vez entendida a colocação dos valores assumidos pela expressão em cada caso no diagrama de Veitch-Karnaugh, vamos verificar como podemos efetuar a simplificação.

Para obtermos a expressão simplificada do diagrama, utilizamos o seguinte método:

- Tentamos agrupar as regiões onde Y é igual a um (1), no menor número possível de pares. As regiões onde Y é um(1), que não puderem ser agrupadas em pares, serão consideradas isoladamente.



No exemplo, temos:

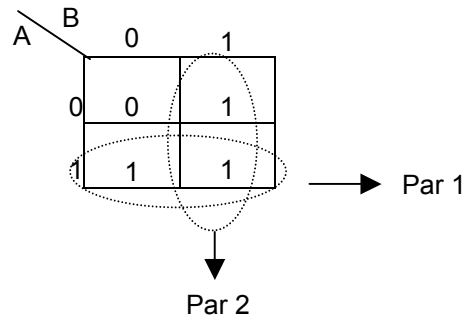


Figura 8.8: Agrupamento de 2 pares

Notamos que um par é o conjunto de duas regiões onde Y é um (1), que tem um lado em comum, ou seja, são vizinhos. O mesmo um (1) pode pertencer a mais de um par.

Feito isto, escrevemos a expressão de cada par, ou seja, a região que o par ocupa no diagrama.

O par 1 ocupa a região onde A é igual a um, então, sua expressão será: Par 1 = A.

O par 2 ocupa a região onde B é igual a um, então, sua expressão será: Par 2 = B.

Notamos também que nenhum um (1) ficou fora dos pares. Agora, basta somarmos para obtermos a expressão simplificada Y, no caso:

$$Y = \text{par 1} + \text{par 2} \quad \text{então,} \quad Y = A + B \quad (8.6)$$

Como podemos notar, esta é a expressão de uma porta OR, pois a tabela verdade utilizada também é a da porta OR. Verificamos também que a expressão obtida diretamente da tabela verdade é visivelmente maior que a expressão minimizada, conforme a seguir:

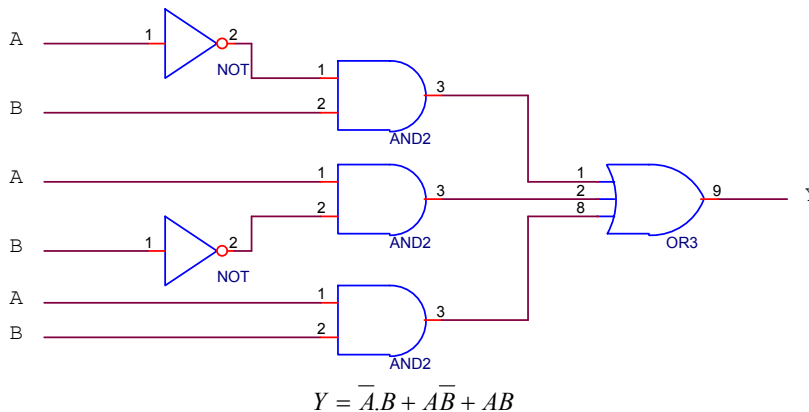


Figura 8.9: Expressão não simplificada

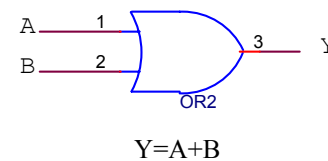


Figura 8.0 : Expressão simplificada

Concluimos que a minimização da expressão, simplifica o circuito e como consequência, diminui o custo e a dificuldade de montagem.



vii. Simplifique o circuito que executa a seguinte tabela verdade:

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



Diagrama de Veitch-Karnaugh para 3 variáveis

Neste diagrama, também temos uma região para cada caso da Tabela Verdade. Com três variáveis podemos obter 8 possibilidades conforme Tabela 8.1. Na tabela 8.2 temos a disposição dos resultados da Tabela Verdade no Diagrama de Veitch-Karnaugh :

A	B	C	Possibilidades
0	0	0	caso 0
0	0	1	caso 1
0	1	0	caso 2
0	1	1	caso 3
1	0	0	caso 4
1	0	1	caso 5
1	1	0	caso 6
1	1	1	caso 7

Tabela 8.1: Tabela Verdade com 3 variáveis.

		BC			
		00	01	11	10
A	0	caso 0	caso 1	caso 3	caso 2
	1	caso 4	caso 5	caso 7	caso 6

Tabela 8.2: Diagrama de Veitch-Karnaugh para 3 variáveis

Para obtermos a expressão simplificada do diagrama com três variáveis, utilizamos o seguinte método:

- Primeiramente, localizamos as quadras e escrevemos suas expressões. Quadras são agrupamentos de 4 regiões onde Y é igual a um (1) adjacentes ou em sequência.
- Feita a localização das quadras, localizamos o número de pares possíveis e termos isolados, então escrevemos suas expressões. Não devemos considerar os pares já incluídos nas quadras, porém, pode acontecer de termos um par formado com um elemento externo à quadra e um outro interno, conforme exemplo abaixo:

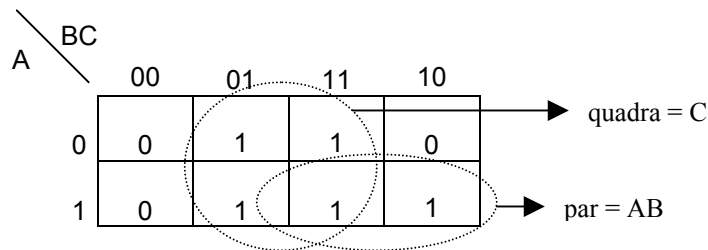


Figura 8.1: Agrupamento de uma quadra e um par

A quadra resulta na expressão C e o par resulta na expressão AB. Somando as duas expressões encontramos a expressão simplificada $Y=C+AB$. Notamos que, num diagrama de três variáveis as quadras assumem um valor fixo.

- Também são considerados quadras e pares os seguintes casos:

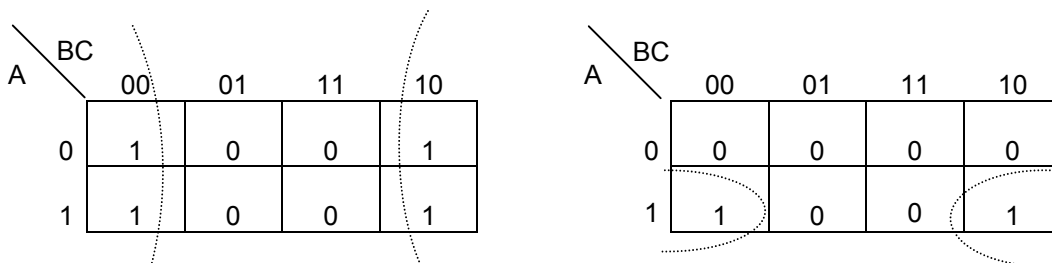


Figura 8.2: Exemplo de quadra e pares

A quadra resulta na expressão C e o par resulta na expressão AC.



Como exemplo vamos minimizar o circuito que executa a Tabela Verdade abaixo:

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Tabela 8.3: Tabela Verdade com 3 variáveis.

A \ BC	BC			
	00	01	11	10
0	0	1	1	0
1	1	1	0	1

Tabela 8.4: Diagrama de Veitch-Karnaugh da Tabela Verdade

Agora, vamos agrupar as quadras, os pares e os termos isolados. Neste caso, vamos notar que teremos 1 quadra e 2 pares:

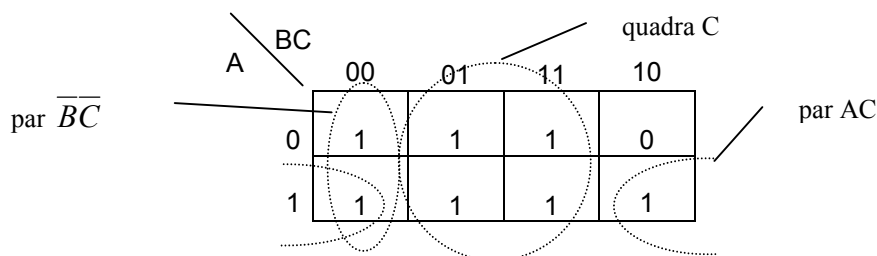
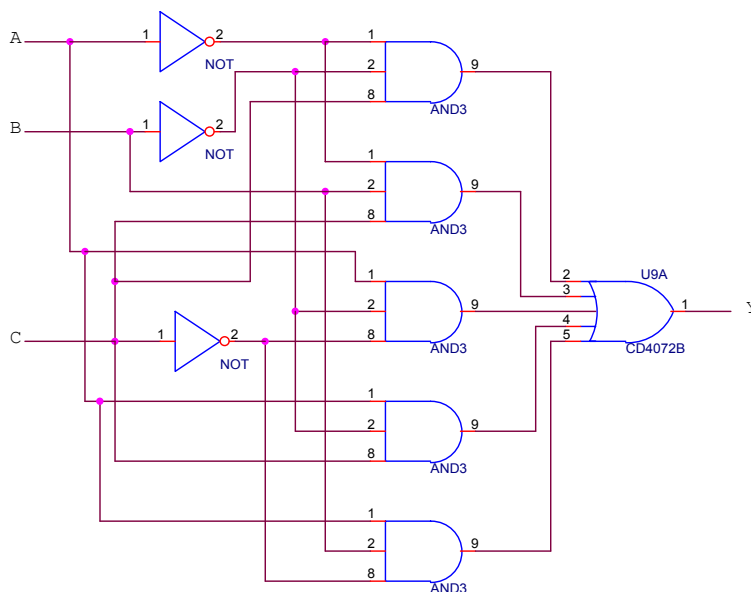


Figura 8.3: Agrupamento de dois pares e uma quadra

A expressão minimizada será:

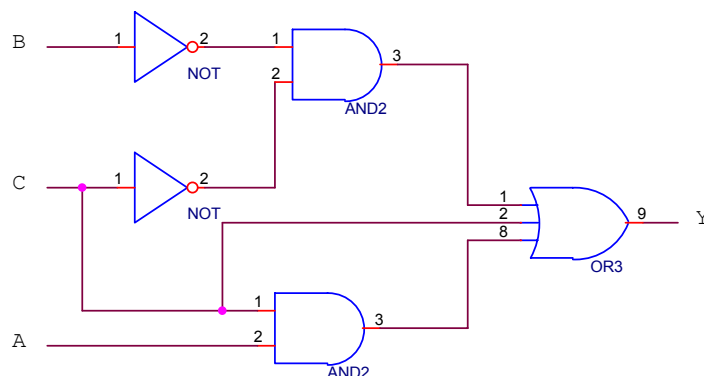
$$Y = \overline{B}\overline{C} + AC + C \quad (8.7)$$

Vamos comparar a expressão retirada diretamente da Tabela Verdade com a expressão minimizada:



$$Y = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + A\overline{B}C$$

Figura 8.4: Expressão não simplificada



$$Y = \overline{B}C + AC + C$$

Figura 8.5: Expressão simplificada

Essas duas expressões, aparentemente diferentes, possuem o mesmo comportamento em cada possibilidade, fato este comprovado, levantando as respectivas tabelas da verdade.



O agrupamento utilizado na Figura 8.3 foi a melhor escolha? Faça um agrupamento que minimize ainda mais a expressão Y.

viii. Minimize a expressão abaixo, utilizando o Diagrama de Veitch-Karnaugh:

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C$$

Diagrama de Veitch-Karnaugh para 4 variáveis

Com quatro variáveis podemos obter 16 possibilidades e nas tabelas a seguir temos a disposição dos resultados da Tabela Verdade no Diagrama de Veitch-Karnaugh :

A	B	C	D	Possibilidades
0	0	0	0	caso 0
0	0	0	1	caso 1
0	0	1	0	caso 2
0	0	1	1	caso 3
0	1	0	0	caso 4
0	1	0	1	caso 5
0	1	1	0	caso 6
0	1	1	1	caso 7
1	0	0	0	caso 8
1	0	0	1	caso 9
1	0	1	0	caso 10
1	0	1	1	caso 11
1	1	0	0	caso 12
1	1	0	1	caso 13
1	1	1	0	caso 14
1	1	1	1	caso 15

Tabela 8.5: Tabela Verdade com 4 variáveis.

AB \ CD				
	00	01	11	10
00	caso 0	caso 1	caso 3	caso 2
01	caso 4	caso 5	caso 7	caso 6
11	caso 12	caso 13	caso 15	caso 14
10	caso 8	caso 9	caso 11	caso 10

Tabela 8.6: Diagrama de Veitch-Karnaugh para 4 variáveis



Para esclarecermos melhor a colocação no Diagrama e analisarmos os agrupamentos, vamos transpor para o Diagrama a seguinte tabela verdade:

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Tabela 8.7: Tabela Verdade com 4 variáveis.

AB \ CD	00	01	11	10
00	0	1	1	1
01	0	1	1	0
11	1	1	1	0
10	1	1	1	0

Tabela 8.8: Diagrama de Veitch-Karnaugh da Tabela Verdade

A expressão de saída da tabela verdade é:

$$Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + A\overline{B}CD + AB\overline{C}\overline{D} + AB\overline{C}D + ABC\overline{D} + ABCD \quad (8.8)$$

Para efetuarmos a simplificação, seguimos o mesmo processo para os diagramas de três variáveis, somente que neste caso o principal agrupamento será a **oitava**.

Devemos ressaltar aqui, que no diagrama, os lados extremos opostos se comunicam, ou seja, podemos formar oitavas, quadras e pares com os termos localizados nos lados extremos opostos. Veja no exemplo abaixo algum desses casos:

AB \ CD	00	01	11	10
00		1		
01	1			1
11				
10		1		

Exemplo de 2 pares

AB \ CD	00	01	11	10
00		1	1	
01	1			1
11	1			1
10		1	1	

Exemplo de 2 Quadras

AB \ CD	00	01	11	10
00	1			1
01				
11				
10	1			1

Exemplo de 1 Quadra

Figura 8.6: Exemplos de agrupamentos



Agora vamos minimizar a expressão do nosso exemplo:

- Inicialmente, agrupamos as oitavas, em seguida as quadras, a seguir os pares e, por último, os termos isolados.

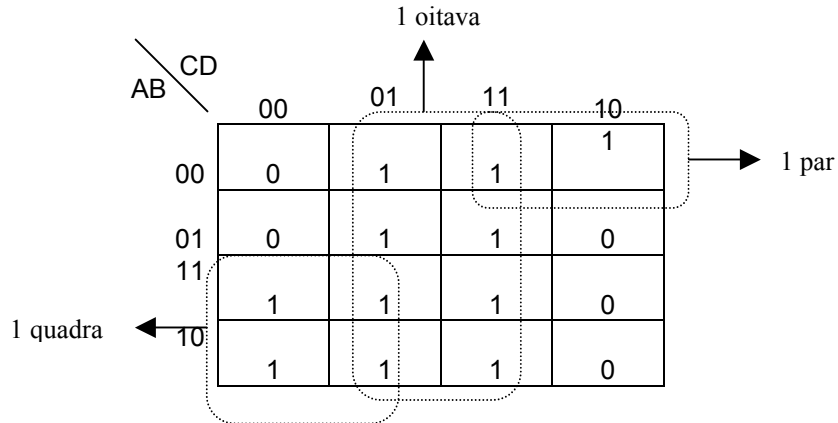


Figura 8.7: Agrupamentos de uma oitava, uma quadra e um par

As expressões que tiramos dos agrupamentos são:

- 1 oitava: D
- 1 quadra: \overline{AC}
- 1 par: \overline{ABC}

Somando as expressões, teremos a expressão final minimizada:

$$Y = D + \overline{AC} + \overline{ABC} \quad (8.9)$$



ix. Minimize a expressão abaixo, utilizando o Diagrama de Veitch-Karnaugh:

$$Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D$$

Casos que não admitem Simplificação

Vamos analisar o caso da expressão $Y = \overline{AB} + B\overline{A}$. Vamos tentar simplificar a expressão por meio do diagrama de Veitch-Karnaugh.

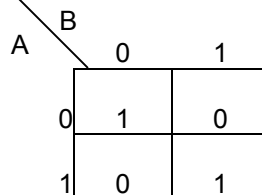


Figura 8.8: Diagrama de Veitch-Karnaugh que não admite simplificação

Pode-se notar que não podemos agrupar termos, logo temos que tomar dois termos isolados, significando que a expressão já foi dada na forma minimizada. Nota-se também que a expressão $Y = \overline{AB} + B\overline{A}$ é a expressão do circuito OU EXCLUSIVO - XOR : $Y = A \oplus B$.



Outro exemplo é o caso dos circuitos OU EXCLUSIVO – XOR para 3 variáveis: Passemos a expressão $Y = A \oplus B \oplus C$ para o Diagrama:

A \ BC	BC			
	00	01	11	10
0	0	1	0	1
1	1	0	1	0

Figura 8.9: Diagrama de Veitch-Karnaugh que não admite simplificação

Podemos notar que Y não admite simplificações.

TAREFAS



- x. Monte um Somador Completo binário de 2 bits.

Dicas: A partir da tabela verdade do Somador de 1 bit, ache a expressão minimizada do mesmo usando o Diagrama de Veitch-Karnaugh. Finalmente monte o Somador Completo de 2 bits com Somadores Completos de 1 bit.



- xi. Montar em protoboard um contador até 60.

Dicas: Utilize 2 contadores de 4 bits(4520), 2 decodificadores (74LS47), 2 display 7 segmentos e projete o decodificador que efetua o reset dos contadores.

BIBLIOGRAFIA

[1] Idoeta, I.V. e Capuano, F.G., *Elementos de Eletrônica Digital*, Editora Érica, 20ª Edição.